

#2
3/18/02

Attorney Docket No. 1448.1018

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

jc618 U.S. PTO
10/017317
12/18/01

In re Patent Application of:

Fumihiko HAYAKAWA, et al.

Application No.:

Group Art Unit:

Filed: December 18, 2001

Examiner:

For: CACHE MEMORY SYSTEM

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2001-035175

Filed: February 13, 2001

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: December 18, 2001

By: 

H. J. Staas
Registration No. 22,010

700 11th Street, N.W., Ste. 500
Washington, D.C. 20001
(202) 434-1500

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月13日

出 願 番 号

Application Number:

特願2001-035175

出 願 人

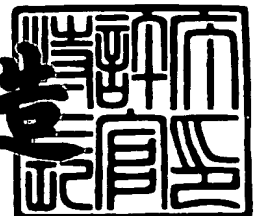
Applicant(s):

富士通株式会社

2001年 7月 9日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3063882

【書類名】 特許願

【整理番号】 0040929

【提出日】 平成13年 2月13日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/08

【発明の名称】 キャッシュメモリシステム

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 早川 文彦

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 岡野 廣

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100104190

 【弁理士】

 【氏名又は名称】 酒井 昭徳

【手数料の表示】

 【予納台帳番号】 041759

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

特 2 0 0 1 - 0 3 5 1 7 5

【包括委任状番号】 9906241

【プルーフの要否】 要

【特許請求の範囲】

電力モード信号に基づいて、前記タグメモリRAM部および前記キャッシュメモリRAM部のうち、すべてのタグメモリRAM部およびすべてのキャッシュメモ

メモリ RAM部が通常状態で動作する n ウェイ構成か、または入力された要求アドレスの値に基づいていずれか一つのタグメモリ RAM部とそれに対応する一つのキャッシュメモリ RAM部のみが通常状態で動作し、かつ残りのタグメモリ RAM部およびキャッシュメモリ RAM部が低消費電力状態となる 1 ウェイ構成のいずれかのウェイ構成への切り替えを制御する RAM電力制御手段と、

データ読み出し時に、いずれか一つのキャッシュメモリ RAM部から読み出されたデータのみを選択するデータセクタと、

前記 n ウェイ構成においては、前記要求アドレスの値に対応するキャッシュメモリ RAM部から読み出されたデータのみを選択し、一方、前記 1 ウェイ構成においては、通常状態のキャッシュメモリ RAM部から読み出されたデータのみを選択するように、前記データセクタを制御するデータセクタ制御手段と、

を具備することを特徴とするキャッシュメモリシステム。

【請求項 4】 前記 RAM電力制御手段は、前記要求アドレスの値と前記電力モード信号の値とに基づいて、各タグメモリ RAM部および各キャッシュメモリ RAM部の動作状態を制御するための信号を生成する論理回路で構成されていることを特徴とする請求項 3 に記載のキャッシュメモリシステム。

【請求項 5】 前記データセクタ制御手段は、

各タグメモリ RAM部から読み出された前記アドレスデータと、前記要求アドレスの値とが一致するか否かを判定するタグ判定回路と、

前記タグ判定回路による判定結果、前記電力モード信号の値、および前記 RAM電力制御手段による制御内容に基づいて、各キャッシュメモリ RAM部から読み出されたデータのうちのいずれかのデータを選択するように制御するデータセクタ制御回路と、

を有することを特徴とする請求項 1 ～ 4 のいずれか一つに記載のキャッシュメモリシステム。

【請求項 6】 前記データセクタ制御手段は、

各タグメモリ RAM部から読み出された前記アドレスデータと、前記要求アドレスの値とが一致するか否かを判定するタグ判定回路と、

低消費電力状態のタグメモリ RAM部から読み出されたアドレスデータと前記

要求アドレスの値とが一致した場合の前記タグ判定回路による判定結果を無効とするタグ判定結果無効化回路と、

を有することを特徴とする請求項 3 または 4 に記載のキャッシュメモリシステム。

【請求項 7】 n 個のタグメモリ RAM 部と、

通常状態と低消費電力状態との切り替えが可能な n 個のキャッシュメモリ RAM 部と、

前記キャッシュメモリ RAM 部のうち、入力された要求アドレスの値に基づいていずれか一つのキャッシュメモリ RAM 部のみが通常状態で動作し、かつ残りのキャッシュメモリ RAM 部が低消費電力状態となるように、各キャッシュメモリ RAM 部の動作状態を制御する RAM 電力制御手段と、

データ読み出し時に、いずれか一つのキャッシュメモリ RAM 部から読み出されたデータのみを選択するデータセクタと、

前記 RAM 電力制御手段により通常状態とされたキャッシュメモリ RAM 部から読み出されたデータのみを選択するように、前記データセクタを制御するデータセクタ制御手段と、

を具備することを特徴とするキャッシュメモリシステム。

【請求項 8】 通常状態と低消費電力状態との切り替えが可能な n 個のタグメモリ RAM 部と、

通常状態と低消費電力状態との切り替えが可能な n 個のキャッシュメモリ RAM 部と、

前記タグメモリ RAM 部および前記キャッシュメモリ RAM 部のうち、入力された要求アドレスの値に基づいていずれか一つのタグメモリ RAM 部とそれに対応する一つのキャッシュメモリ RAM 部のみが通常状態で動作し、かつ残りのタグメモリ RAM 部およびキャッシュメモリ RAM 部が低消費電力状態となるように、各タグメモリ RAM 部および各キャッシュメモリ RAM 部の動作状態を制御する RAM 電力制御手段と、

データ読み出し時に、いずれか一つのキャッシュメモリ RAM 部から読み出されたデータのみを選択するデータセクタと、

前記RAM電力制御装置により通常状態とされたキャッシュメモリRAM部から読み出されたデータのみを選択するように、前記データセクタを制御するデータセクタ制御手段と、

を具備することを特徴とするキャッシュメモリシステム。

【請求項9】 n個のキャッシュメモリRAM部は一モジュールをn個の領域に分けた個々の領域に対応していることを特徴とする請求項1～8のいずれか一つに記載のキャッシュメモリシステム。

【請求項10】 n個の前記タグメモリRAM部は一モジュールをn個の領域に分けた個々の領域に対応していることを特徴とする請求項3～6または8のいずれか一つに記載のキャッシュメモリシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、キャッシュメモリシステムに関し、特にセットアソシアティブ構成とダイレクトマップ構成の動的な切り替えが可能なキャッシュメモリシステムに関する。

【0002】

マイクロプロセッサ等のキャッシュメモリシステムを内蔵するデータ演算処理装置において、キャッシュメモリシステムの構成として、セットアソシアティブ構成とダイレクトマップ構成がある。セットアソシアティブ構成のキャッシュメモリシステムは、ダイレクトマップ構成に比べてヒット率が高いため、演算処理装置全体の高性能化が期待されるが、その反面、消費電力が大きいという欠点がある。

【0003】

【従来の技術】

従来のセットアソシアティブ構成のキャッシュメモリシステムの構成について説明する。なお、以下の説明では、4ウェイ（way）構成で、キャッシュメモリ容量が16Kバイト、キャッシュメモリのラインサイズが64バイト、各ウェイのエントリ数が64エントリのキャッシュメモリシステムについて説明する。

【0004】

図13は、従来のセットアソシアティブ構成のキャッシュメモリシステムを示すブロック構成図である。このキャッシュメモリシステムは、4ウェイ構成であるため、並列に接続された4個のタグメモリRAMモジュール11a, 11b, 11c, 11d、および並列に接続された4個のキャッシュメモリRAMモジュール12a, 12b, 12c, 12dを備えている。また、キャッシュメモリシステムは、タグ判定回路13およびデータセクタ14を備えている。タグ判定回路13は、4個の比較器15a, 15b, 15c, 15dと4個のアンド回路16a, 16b, 16c, 16dとから構成されている。

【0005】

タグメモリRAMモジュール11a, 11b, 11c, 11dは、それぞれ対応するキャッシュメモリRAMモジュール12a, 12b, 12c, 12dに格納されているデータのアドレスを示すデータと、そのアドレスデータが有効であるか否かを示すエントリ・バリッド・フラグ (entry valid) を格納する。

【0006】

キャッシュメモリRAMモジュール12a, 12b, 12c, 12dは、図示しないプロセッサコア等での演算処理等で使用されるデータを格納する。タグメモリRAMモジュール11a, 11b, 11c, 11dおよびキャッシュメモリRAMモジュール12a, 12b, 12c, 12dは、外部からの入力信号に基づいて各RAMモジュール全体またはRAMモジュール内の各データ入出力回路の一部分を低消費電力状態に移行させる機能を有する。

【0007】

タグ判定回路13は、プロセッサコア等から要求されたアドレス（以下、要求アドレスとする）の値と、各タグメモリRAMモジュール11a, 11b, 11c, 11dから読み出されたアドレスデータとを比較し、それらの一致または不一致の判定をおこなう。タグ判定回路13内の各比較器15a, 15b, 15c, 15dは、この要求アドレスとアドレスデータとの比較、判定をおこなう。

【0008】

データセクタ14は、各キャッシュメモリRAMモジュール12a, 12b

、12c、12dから読み出されたデータの中から有効なデータのみを選択してデータバスへ出力する。タグ判定回路13内の各アンド回路16a、16b、16c、16dは、エントリ・バリッド・フラグに基づいて、データセクタ14が有効なデータを選択するための制御信号を出力する。つまり、データセクタ14は、各アンド回路16a、16b、16c、16dから出力された制御信号に基づいて、有効なデータの選択をおこなう。

【0009】

図13に示す従来のキャッシュメモリシステム的作用について説明する。まず、データの読み出し時の作用について説明する。プロセッサコア等から読み出しデータの要求アドレスが入力されると、各タグメモリRAMモジュール11a、11b、11c、11dから、その要求アドレスに対応するアドレスデータと、そのアドレスデータに対応するエントリ・バリッド・フラグが読み出される。読み出されたアドレスデータは、それぞれ対応する比較器15a、15b、15c、15dにより要求アドレスと比較され、一致するか否かが判定される。

【0010】

各比較器15a、15b、15c、15dでの判定結果は、対応するウェイのエントリ・バリッド・フラグとともに、対応する各アンド回路16a、16b、16c、16dに入力される。各アンド回路16a、16b、16c、16dの出力は、データセクタ14に対する制御信号としてデータセクタ14に供給される。この制御信号により、各タグメモリRAMモジュール11a、11b、11c、11dから読み出されたアドレスデータのうち、要求アドレスと一致し、かつエントリ・バリッド・フラグにより有効であるとされたアドレスデータを格納していたウェイのみが有効となる。

【0011】

一方、各キャッシュメモリRAMモジュール12a、12b、12c、12dでは、要求アドレスの入力に基づいて、要求アドレスに対応したデータがそれぞれ読み出される。読み出されたデータのうち、データセクタ14において有効であるとされたウェイのキャッシュメモリRAMモジュールから読み出されたデータのみがデータバスに出力される。また、各アンド回路16a、16b、16

c, 16dの出力は、キャッシュのヒット／ミス信号 (Cache Hit/Miss signal) としてプロセッサコア等に供給される。

【0012】

つぎに、データの書き込み時の作用について説明する。データの書き込み時には、データを書き込むべきウェイのアドレスに基づいて選択されたエントリに対し、要求アドレスをタグメモリRAMモジュールに書き込むとともに、データをキャッシュメモリRAMモジュールに書き込む。

【0013】

【発明が解決しようとする課題】

しかしながら、上述した従来のセットアソシアティブ構成のキャッシュメモリシステムでは、キャッシュメモリからのデータの読み出し時にすべてのウェイにおいてタグメモリRAMモジュールとキャッシュメモリRAMモジュールを駆動する必要があるため、メモリ容量が同じでも、1ウェイ構成、すなわちダイレクトマップ構成のキャッシュメモリシステムよりも多くの電力を必要とするという問題点があった。

【0014】

本発明は、上記問題点に鑑みてなされたものであって、セットアソシアティブ構成による高ヒット率モードとダイレクトマップ構成による低消費電力モードの動的な切り替えが可能なキャッシュメモリシステムを提供することを目的とする。

【0015】

【課題を解決するための手段】

上記目的を達成するため、本発明は、通常状態と低消費電力状態との切り替えが可能なタグメモリRAM部n個をたとえば並列に接続するとともに、通常状態と低消費電力状態との切り替えが可能なキャッシュメモリRAM部n個をたとえば並列に接続し、電力モードに応じてRAM電力制御手段により、RAM部の接続構造をnウェイ構成と1ウェイ構成との間で動的に切り替えることを特徴とする。

【0016】

すなわち、外部から入力された電力モード信号が高ヒット率モードのときには、RAM電力制御手段により、すべてのタグメモリRAM部およびすべてのキャッシュメモリRAM部が通常状態で動作するnウェイのセットアソシアティブ構成とする。この構成においては、データセレクトタにより、各タグメモリRAM部から読み出されたアドレスデータと、プロセッサコア等から供給された要求アドレスの値とが一致したウェイに対応するキャッシュメモリRAM部から読み出されたデータのみを選択する。

【0017】

一方、外部から入力された電力モード信号が低消費電力モードのときには、RAM電力制御手段により、プロセッサコア等から供給された要求アドレスの値に基づいていずれか一つのタグメモリRAM部とそれに対応する一つのキャッシュメモリRAM部のみが通常状態で動作し、かつ残りのタグメモリRAM部およびキャッシュメモリRAM部が低消費電力状態となる1ウェイのダイレクトマップ構成とする。この構成においては、データセレクトタにより、通常状態のキャッシュメモリRAM部から読み出されたデータのみを選択する。

【0018】

この発明によれば、電力モード信号が高ヒット率モードのときには、キャッシュメモリシステムはnウェイのセットアソシアティブ構成として動作し、一方、低消費電力モードのときには1ウェイのダイレクトマップ構成として動作するので、消費電力が多くても演算処理装置の性能を優先する場合と、低消費電力を優先する場合とを、ユーザや、使用しているアプリケーション等の周辺環境に応じて選択することができる。

【0019】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。なお、以下の各実施の形態においては、キャッシュメモリシステムは、特に限定しないが、4ウェイ（way）構成で、キャッシュメモリ容量が16Kバイト、キャッシュメモリのラインサイズが64バイト、各ウェイのエントリ数が64エントリであるとして説明する。

【0020】

(実施の形態1)

図1および図2は、それぞれ本発明の実施の形態1にかかるキャッシュメモリシステムを含むシステム全体例の要部を模式的に示すブロック構成図である。演算処理装置(CPU)2はプロセッサコア21およびキャッシュメモリシステム3を内蔵し、外部メモリシステム4と接続する。

【0021】

図1に示す例では、キャッシュメモリシステム3には、プロセッサコア21から電力モード信号22が供給されている。一方、図2では、キャッシュメモリシステム3には、電源管理システムなどの演算処理装置2を利用する他のシステムや、ディップスイッチ等におけるユーザの設定などにより、外部から電力モード信号23が供給されている。ここで、電力モード信号22、23は、キャッシュメモリシステム3をセットアソシアティブ構成とするか、またはダイレクトマップ構成とするかを指示する信号である。図1および図2において、符号24および符号25はアドレス信号、符号26および符号27はデータである。

【0022】

図3は、本発明の実施の形態1にかかるキャッシュメモリシステムの一例を示すブロック構成図である。このキャッシュメモリシステムは、4ウェイ構成であるため、4個のタグメモリRAMモジュール31a、31b、31c、31d、および4個のキャッシュメモリRAMモジュール32a、32b、32c、32dがそれぞれ並列に接続されている。

【0023】

タグメモリRAMモジュール31a、31b、31c、31dおよびキャッシュメモリRAMモジュール32a、32b、32c、32dは、後述するRAM電力制御装置37により、低消費電力状態に移行する機能を有する。この機能は、各RAMモジュール31a、31b、31c、31d、32a、32b、32c、32dごとに設けられた消費電力モード制御装置40a、40b、40c、40d、41a、41b、41c、41dにより実現されるが、これは従来のセットアソシアティブ構成のタグメモリRAMモジュールおよびキャッシュメモリ

R A Mモジュールに備わっている機能と同様である。

【 0 0 2 4 】

また、キャッシュメモリシステムは、プロセッサコア等の要求アドレスの値と、各タグメモリR A Mモジュール3 1 a, 3 1 b, 3 1 c, 3 1 dから読み出されたアドレスデータとが一致しているか否かの判定をおこなうタグ判定回路3 3を備えている。このタグ判定回路3 3は、従来同様、4個の比較器3 5 a, 3 5 b, 3 5 c, 3 5 dおよび4個のアンド回路3 6 a, 3 6 b, 3 6 c, 3 6 dから構成されている。

【 0 0 2 5 】

また、キャッシュメモリシステムは、各キャッシュメモリR A Mモジュール3 2 a, 3 2 b, 3 2 c, 3 2 dから読み出されたデータの中から有効なデータのみを選択してデータバスへ出力するデータセクタ3 4を有する。このデータセクタ3 4は、後述するデータセクタ制御回路3 8により制御される。タグ判定回路3 3およびデータセクタ制御回路3 8はデータセクタ制御手段を構成する。また、キャッシュメモリシステムは、キャッシュのヒットまたはミスを図示しないプロセッサコア等に返すために、後述するキャッシュ・ヒット／ミス制御回路3 9を備えている。

【 0 0 2 6 】

なお、実施の形態1において、タグメモリR A Mモジュール3 1 a, 3 1 b, 3 1 c, 3 1 d、キャッシュメモリR A Mモジュール3 2 a, 3 2 b, 3 2 c, 3 2 d、タグ判定回路3 3およびデータセクタ3 4の構成および機能については、それぞれ従来のタグメモリR A Mモジュール1 1 a, 1 1 b, 1 1 c, 1 1 d、キャッシュメモリR A Mモジュール1 2 a, 1 2 b, 1 2 c, 1 2 d、タグ判定回路1 3およびデータセクタ1 4と同様であるため、説明を省略する。また、消費電力モード制御装置4 0 a, 4 0 b, 4 0 c, 4 0 d, 4 1 a, 4 1 b, 4 1 c, 4 1 dも従来と同様であるため、説明を省略する。

【 0 0 2 7 】

図4は、R A M電力制御装置3 7の一例を示す論理回路図である。R A M電力制御装置3 7は、1 2個のアンド回路5 1～6 2と、4個のオア回路6 3～6 6

を有する。

【0028】

アンド回路51、アンド回路52、アンド回路53およびアンド回路54には、入力信号として、プロセッサコアから供給された要求アドレス信号のうち、たとえば第13ビット目の信号と第12ビット目の信号が供給される。第13ビット目の信号および第12ビット目の信号がともに「1」のときには、アンド回路51のみが「1」を出力する。アンド回路52の、第13ビット目の信号が入力される端子はローアクティブであるため、第13ビット目の信号が「0」で第12ビット目の信号が「1」のときには、アンド回路52のみが「1」を出力する。

【0029】

また、アンド回路53の、第12ビット目の信号が入力される端子はローアクティブであるため、第13ビット目の信号が「1」で第12ビット目の信号が「0」のときには、アンド回路53のみが「1」を出力する。アンド回路54の、両入力端子はローアクティブであるため、第13ビット目の信号および第12ビット目の信号がともに「0」のときには、アンド回路54のみが「1」を出力する。なお、論理回路の説明において、相対的に電位レベルが高いハイのときの信号の値は「1」であり、相対的に電位レベルが低いローのときの信号の値は「0」である。

【0030】

アンド回路55、アンド回路57、アンド回路59およびアンド回路61には、入力信号として、電力モード信号と、それぞれアンド回路51、アンド回路52、アンド回路53およびアンド回路54の出力信号が供給される。電力モード信号が「1」のとき、アンド回路51の出力値が「1」であればアンド回路55の出力値が「1」となり、またアンド回路52の出力値が「1」であればアンド回路57の出力値が「1」となる。また、アンド回路53の出力値が「1」であればアンド回路59の出力値が「1」となり、またアンド回路54の出力値が「1」であればアンド回路61の出力値が「1」となる。一方、電力モード信号が「0」のときには、アンド回路55、57、59、61の出力はすべて「0」と

なる。

【0031】

アンド回路56、アンド回路58、アンド回路60およびアンド回路62には、入力信号として、電力モード信号とハイレベルの信号（すなわち「1」）が供給される。これらのアンド回路56、58、60、62では、電力モード信号が供給される端子はローアクティブであるため、電力モード信号が「1」のときの出力値はいずれも「0」であり、一方、電力モード信号が「0」のときの出力値はいずれも「1」である。

【0032】

オア回路63は、アンド回路55の出力値とアンド回路56の出力値とのオア論理を出力する。オア回路64は、アンド回路57の出力値とアンド回路58の出力値とのオア論理を出力する。オア回路65は、アンド回路59の出力値とアンド回路60の出力値とのオア論理を出力する。オア回路66は、アンド回路61の出力値とアンド回路62の出力値とのオア論理を出力する。

【0033】

たとえば、オア回路63の出力信号は、ウェイ0のRAM電力制御信号として、タグメモリRAMモジュール31aおよびキャッシュメモリRAMモジュール32aの消費電力をそれぞれ制御する消費電力モード制御装置40aおよび消費電力モード制御装置41aに供給される。同様に、オア回路64の出力信号は、ウェイ1のRAM電力制御信号として、タグメモリRAMモジュール31b用の消費電力モード制御装置40bおよびキャッシュメモリRAMモジュール32a用の消費電力モード制御装置41bに供給される。

【0034】

オア回路65の出力信号は、ウェイ2のRAM電力制御信号として、タグメモリRAMモジュール31c用の消費電力モード制御装置40cおよびキャッシュメモリRAMモジュール32c用の消費電力モード制御装置41cに供給される。オア回路66の出力信号は、ウェイ3のRAM電力制御信号として、タグメモリRAMモジュール31d用の消費電力モード制御装置40dおよびキャッシュメモリRAMモジュール32d用の消費電力モード制御装置41dに供給される。

【0035】

ここで、各消費電力モード制御装置40a, 40b, 40c, 40d, 41a, 41b, 41c, 41dは、入力されるRAM電力制御信号が「1」のときには対応するRAMモジュールを通常状態で動作させ、一方、RAM電力制御信号が「0」のときには低消費電力状態とする。したがって、電力モード信号が「0」のときには、入力されるアドレスの2ビットの値にかかわらず、アンド回路56, 58, 60, 62の出力値は「1」であるので、オア回路63～66の出力値、すなわち各消費電力モード制御装置40a, 40b, 40c, 40d, 41a, 41b, 41c, 41dに入力されるRAM電力制御信号の値はいずれも「1」となる。

【0036】

つまり、タグメモリRAMモジュール31a, 31b, 31c, 31dおよびキャッシュメモリRAMモジュール32a, 32b, 32c, 32dはいずれも通常状態で動作する構成となり、このときのキャッシュメモリシステムはセットアソシアティブ構成となる。

【0037】

一方、電力モード信号が「1」のときには、入力されるアドレスの2ビットの値に基づいて、アンド回路51～54のいずれか一つの出力値が「1」となり、それによってアンド回路55, 57, 59, 61のいずれか一つの出力値が「1」となる。したがって、オア回路63～66のうちいずれか一つの出力値が「1」となるので、消費電力モード制御装置40a, 40b, 40c, 40dとそれらのそれぞれに対応する消費電力モード制御装置41a, 41b, 41c, 41dのうち一組の消費電力モード制御装置へのRAM電力制御信号の値のみが「1」となる。

【0038】

つまり、タグメモリRAMモジュール31a, 31b, 31c, 31dおよびキャッシュメモリRAMモジュール32a, 32b, 32c, 32dのうち、入力されたアドレスの2ビットの値に対応するタグメモリRAMモジュールとキャ

ッシュメモリRAMモジュールのみが通常状態で動作し、残りのRAMモジュールは低消費電力状態となる。このときのキャッシュメモリシステムはダイレクトマップ構成である。なお、RAM電力制御装置37の構成は上述した論理回路構成に限らない。

【0039】

図5は、データセクタ制御回路38の一例を示す論理回路図である。データセクタ制御回路38は、8個のアンド回路67～74と、4個のオア回路75～78を有する。

【0040】

アンド回路67、アンド回路69、アンド回路71およびアンド回路73には、入力信号として、電力モード信号と、それぞれタグ判定回路33内の各アンド回路36a、36b、36c、36dの出力信号が供給される。これらのアンド回路67、69、71、73の、電力モード信号が入力される端子はローアクティブであるため、電力モード信号が「1」のときにはそれらの出力はすべて「0」となる。一方、電力モード信号が「0」のときには、タグ判定回路33内の各アンド回路36a、36b、36c、36dの出力信号が「1」のウェイのアンド回路の出力値のみが「1」となる。

【0041】

アンド回路68、アンド回路70、アンド回路72およびアンド回路74には、入力信号として、電力モード信号と、それぞれRAM電力制御装置37内の各オア回路63、64、65、66から出力されるRAM電力制御信号が供給される。電力モード信号が「1」のときには、RAM電力制御信号が「1」のウェイのアンド回路の出力値のみが「1」となる。一方、電力モード信号が「0」のときにはそれらの出力はすべて「0」となる。

【0042】

オア回路75は、アンド回路67の出力値とアンド回路68の出力値とのオア論理を出力する。オア回路76は、アンド回路69の出力値とアンド回路70の出力値とのオア論理を出力する。オア回路77は、アンド回路71の出力値とアンド回路72の出力値とのオア論理を出力する。オア回路78は、アンド回路7

3 の出力値とアンド回路 7 4 の出力値とのオア論理を出力する。

【 0 0 4 3 】

たとえば、オア回路 7 5、オア回路 7 6、オア回路 7 7 およびオア回路 7 8 の各出力信号は、それぞれウェイ 0、ウェイ 1、ウェイ 2 およびウェイ 3 の各キャッシュメモリ RAM モジュール 3 2 a, 3 2 b, 3 2 c, 3 2 d から読み出されたデータのうちの一つを選択するためのデータ選択信号としてデータセクタ 3 4 に供給される。

【 0 0 4 4 】

したがって、電力モード信号が「0」のとき（セットアソシアティブ構成のとき）には、各キャッシュメモリ RAM モジュール 3 2 a, 3 2 b, 3 2 c, 3 2 d から読み出されたデータのうち、タグ判定回路 3 3 において、要求アドレスと、各タグメモリ RAM モジュール 3 1 a, 3 1 b, 3 1 c, 3 1 d から読み出された有効なアドレスデータとが一致したウェイのデータのみが選択されてデータバスに出力される。

【 0 0 4 5 】

電力モード信号が「1」のとき（ダイレクトマップ構成のとき）には、各キャッシュメモリ RAM モジュール 3 2 a, 3 2 b, 3 2 c, 3 2 d から読み出されたデータのうち、RAM 電力制御信号により通常状態とされたキャッシュメモリ RAM モジュールから読み出されたデータのみが選択されてデータバスに出力される。なお、データセクタ制御回路 3 8 の構成は上述した論理回路構成に限らない。

【 0 0 4 6 】

図 6 は、キャッシュ・ヒット／ミス制御回路 3 9 の一例を示す論理回路図である。キャッシュ・ヒット／ミス制御回路 3 9 は、4 個のアンド回路 7 9 ～ 8 2 と、1 個のオア回路 8 3 を有する。アンド回路 8 1 には、入力信号として、電力モード信号と、各ウェイの RAM 電力制御信号を入力とするアンド回路 7 9 の出力信号が供給される。アンド回路 8 2 には、入力信号として、電力モード信号と、タグ判定回路 3 3 内の各アンド回路 3 6 a, 3 6 b, 3 6 c, 3 6 d の出力信号を入力とするアンド回路 8 0 の出力信号が供給される。オア回路 8 3 は、アンド

回路 81 の出力値とアンド回路 82 の出力値とのオア論理を出力する。

【0047】

電力モード信号が「0」のとき（セットアソシアティブ構成のとき）には、アンド回路 81 の出力値は「0」となる。その際、アンド回路 82 の、電力モード信号が入力される端子はローアクティブであるため、アンド回路 82 の出力値はアンド回路 80 の出力値により決まる。したがって、キャッシュ・ヒット／ミス制御回路 39 の出力値となるオア回路 83 の出力値は、タグ判定回路 33 の出力値により決まる。一方、電力モード信号が「1」のとき（ダイレクトマップ構成のとき）には、アンド回路 82 の出力値は「0」となるが、アンド回路 81 の出力値はアンド回路 79 の出力値により決まる。したがって、キャッシュ・ヒット／ミス制御回路 39 の出力値は RAM 電力制御信号の値により決まる。なお、キャッシュ・ヒット／ミス制御回路 39 の構成は上述した論理回路構成に限らない。

【0048】

図 7 は、実施の形態 1 にかかるキャッシュメモリシステムのメモリ領域の概念を説明するための模式図である。SDRAM 等のメインメモリ 84 を複数の領域に分けて考えると、キャッシュメモリシステムがセットアソシアティブ構成で動作する場合には、キャッシュメモリ RAM モジュール 32a, 32b, 32c, 32d のそれぞれに格納されるメインメモリ 84 の領域は、第 1 番目、第 2 番目、第 3 番目、・・・というようにメインメモリ 84 の全領域である。

【0049】

それに対して、キャッシュメモリシステムがダイレクトマップ構成で動作する場合、たとえばキャッシュメモリ RAM モジュール 32a には、メインメモリ 84 の第 1 番目の領域、第 5 番目の領域、第 9 番目の領域、第 13 番目の領域、・・・というように格納される。同様に、キャッシュメモリ RAM モジュール 32b に格納されるメインメモリ 84 の領域は、第 2 番目、第 6 番目、第 10 番目、第 14 番目、・・・であり、キャッシュメモリ RAM モジュール 32c では第 3 番目、第 7 番目、第 11 番目、第 15 番目、・・・であり、キャッシュメモリ RAM モジュール 32d では第 4 番目、第 8 番目、第 12 番目、第 16 番目、・・・

・となる。

【0050】

つぎに、実施の形態1にかかるキャッシュメモリシステムの作用について説明する。電力モード信号が「0」、すなわちキャッシュメモリシステムがセットアソシアティブ構成で動作する場合には、データ読み出し動作およびデータ書き込み動作は、いずれも従来のセットアソシアティブ構成のキャッシュメモリシステムでの動作と同じである。

【0051】

電力モード信号が「1」、すなわちキャッシュメモリシステムがダイレクトマップ構成で動作する場合には、データ読み出し動作およびデータ書き込み動作のいずれにおいても、入力されたアドレスのたとえば第13ビット目と第12ビット目の値に基づいて、いずれか一つのウェイのタグメモリRAMモジュールおよびキャッシュメモリRAMモジュールのみが通常状態で動作する。残りの3つのウェイについては、タグメモリRAMモジュールもキャッシュメモリRAMモジュールも低消費電力状態となる。データの読み出し時には、低消費電力状態のキャッシュメモリRAMモジュールから読み出されたデータは、RAM電力制御信号に基づいてデータセクタ34において無効とされる。

【0052】

上述した実施の形態1によれば、電力モード信号が高ヒット率モードのときには、キャッシュメモリシステムは n ウェイのセットアソシアティブ構成として動作し、一方、低消費電力モードのときには1ウェイのダイレクトマップ構成として動作するので、消費電力が多くても演算処理装置の性能を優先する場合と、低消費電力を優先する場合とを、ユーザや、使用しているアプリケーション等の周辺環境に応じて選択することができる。

【0053】

(実施の形態2)

図8は、本発明の実施の形態2にかかるキャッシュメモリシステムの一例を示すブロック構成図である。実施の形態2が実施の形態1のキャッシュメモリシステム(図3参照)と異なるのは、第1に、データセクタ制御回路38の代わり

にタグ判定結果無効化回路 4 2 を用い、タグ判定回路 3 3 とタグ判定結果無効化回路 4 2 によりタグデータセクタ制御手段を構成していることである。

【 0 0 5 4 】

第 2 に、キャッシュのヒットまたはミスを図示しないプロセッサコア等に返すために、キャッシュ・ヒット／ミス制御回路 3 9 の代わりにタグ判定結果無効化回路 4 2 の出力を返すようにしたことである。その他の構成は実施の形態 1 と同じであるため、実施の形態 1 と同じ構成については同一の符号を付して説明を省略する。

【 0 0 5 5 】

タグ判定結果無効化回路 4 2 は、キャッシュメモリシステムがダイレクトマップ構成で動作する場合に、低消費電力状態のタグメモリ RAM モジュールから読み出されたアドレスデータおよびエントリ・バリッド・フラグ (entry valid) を無効にする。タグ判定結果無効化回路 4 2 は、4 個のアンド回路 4 3 a, 4 3 b, 4 3 c, 4 3 d を有する。ウェイ 0 のアンド回路 4 3 a には、ウェイ 0 の RAM 電力制御信号と、タグ判定回路 3 3 内のアンド回路 3 6 a の出力信号が供給される。

【 0 0 5 6 】

同様に、ウェイ 1 のアンド回路 4 3 b、ウェイ 2 のアンド回路 4 3 c、およびウェイ 3 のアンド回路 4 3 d には、それぞれ、ウェイ 1 の RAM 電力制御信号とタグ判定回路 3 3 内のアンド回路 3 6 b の出力信号、ウェイ 2 の RAM 電力制御信号とタグ判定回路 3 3 内のアンド回路 3 6 c の出力信号、およびウェイ 3 の RAM 電力制御信号とタグ判定回路 3 3 内のアンド回路 3 6 d の出力信号が供給される。

【 0 0 5 7 】

つぎに、実施の形態 2 にかかるキャッシュメモリシステムの作用について説明するが、電力モード信号が「1」、すなわちキャッシュメモリシステムがダイレクトマップ構成で動作する場合において、データの読み出し時に、低消費電力状態のキャッシュメモリ RAM モジュールから読み出されたデータが、タグ判定結果無効化回路 4 2 の出力信号に基づいてデータセクタ 3 4 において無効とされ

る点を除いて、実施の形態 1 と同じである。

【 0 0 5 8 】

上述した実施の形態 2 によれば、電力モード信号が高ヒット率モードのときには、キャッシュメモリシステムは n ウェイのセットアソシアティブ構成として動作し、一方、低消費電力モードのときには 1 ウェイのダイレクトマップ構成として動作するので、消費電力が多くても演算処理装置の性能を優先する場合と、低消費電力を優先する場合とを、ユーザや、使用しているアプリケーション等の周辺環境に応じて選択することができる。

【 0 0 5 9 】

(実施の形態 3)

実施の形態 1 および実施の形態 2 が、電力モード信号によりセットアソシアティブ構成とダイレクトマップ構成との動的な切り替えが可能なキャッシュメモリシステムであったのに対し、実施の形態 3 にかかるキャッシュメモリシステムは、低消費電力化を実現するためにダイレクトマップ構成としたものである。なお、実施の形態 3 の各例において、実施の形態 1 または実施の形態 2 と同じ構成についてはそれらと同じ符号を付して説明を省略する。

【 0 0 6 0 】

図 9 は、本発明の実施の形態 3 にかかるキャッシュメモリシステムの一例を示すブロック構成図である。このキャッシュメモリシステムは、図 3 に示す実施の形態 1 のキャッシュメモリシステムと同様の構成のシステムをダイレクトマップ構成としたものであり、RAM 電力制御装置 4 4 およびデータセクタ制御回路 4 5 は電力モード信号に依存しない構成となっている。また、キャッシュのヒットまたはミスは、電力モード信号に依存しないでプロセッサコア等に返す構成となっている。

【 0 0 6 1 】

図 1 0 は、本発明の実施の形態 3 にかかるキャッシュメモリシステムの他の例を示すブロック構成図である。このキャッシュメモリシステムは、図 8 に示す実施の形態 2 のキャッシュメモリシステムと同様の構成のシステムをダイレクトマップ構成としたものであり、RAM 電力制御装置 4 4 が電力モード信号に依存し

ない構成となっている。

【 0 0 6 2 】

図 1 1 は、図 9 に示すキャッシュメモリシステムの変形例を示すブロック構成図である。このキャッシュメモリシステムは、図 9 に示すキャッシュメモリシステムにおいて、低消費電力状態とする対象をキャッシュメモリ RAM モジュール 3 2 a, 3 2 b, 3 2 c, 3 2 d のみとしたものである。

【 0 0 6 3 】

図 1 2 は、図 9 に示すキャッシュメモリシステムの変形例を示すブロック構成図である。このキャッシュメモリシステムは、図 9 に示すキャッシュメモリシステムにおいて、4 個のタグメモリ RAM モジュール 3 1 a, 3 1 b, 3 1 c, 3 1 d および 4 個のキャッシュメモリ RAM モジュール 3 2 a, 3 2 b, 3 2 c, 3 2 d の代わりに、それぞれ 4 領域に分割されたタグメモリ RAM モジュール 4 6 およびキャッシュメモリ RAM モジュール 4 8 を設けたものである。

【 0 0 6 4 】

タグメモリ RAM モジュール 4 6 には、各領域ごとに読み出し回路 4 7 a, 4 7 b, 4 7 c, 4 7 d が設けられている。同様に、キャッシュメモリ RAM モジュール 4 8 にも、各領域ごとに読み出し回路 4 9 a, 4 9 b, 4 9 c, 4 9 d が設けられている。これらの読み出し回路 4 7 a, 4 7 b, 4 7 c, 4 7 d, 4 9 a, 4 9 b, 4 9 c, 4 9 d は、RAM 電力制御装置 4 4 により通常状態と低消費電力状態とに切り替えられる。

【 0 0 6 5 】

上述した実施の形態 3 によれば、いずれの例によっても、要求アドレスの値に基づいていずれか一つのウェイのみが通常状態で動作し、かつ残りのウェイは低消費電力状態となるため、キャッシュメモリシステムの低消費電力化を図ることができる。

【 0 0 6 6 】

(付記 1) n 個のタグメモリ RAM 部と、

通常状態と低消費電力状態との切り替えが可能な n 個のキャッシュメモリ RAM 部と、

電力モード信号に基づいて、前記キャッシュメモリRAM部のうち、すべてのキャッシュメモリRAM部が通常状態で動作する n ウェイ構成か、または入力された要求アドレスの値に基づいていずれか一つのキャッシュメモリRAM部のみが通常状態で動作し、かつ残りのキャッシュメモリRAM部が低消費電力状態となる1ウェイ構成のいずれかのウェイ構成への切り替えを制御するRAM電力制御手段と、

データ読み出し時に、いずれか一つのキャッシュメモリRAM部から読み出されたデータのみを選択するデータセクタと、

前記 n ウェイ構成においては、前記要求アドレスの値に対応するキャッシュメモリRAM部から読み出されたデータのみを選択し、一方、前記1ウェイ構成においては、通常状態のキャッシュメモリRAM部から読み出されたデータのみを選択するように、前記データセクタを制御するデータセクタ制御手段と、

を具備することを特徴とするキャッシュメモリシステム。

【0067】

(付記2) 前記RAM電力制御手段は、前記要求アドレスの値と前記電力モード信号の値とに基づいて、各キャッシュメモリRAM部の動作状態を制御するための信号を生成する論理回路で構成されていることを特徴とする付記1に記載のキャッシュメモリシステム。

【0068】

(付記3) 通常状態と低消費電力状態との切り替えが可能な n 個のタグメモリRAM部と、

通常状態と低消費電力状態との切り替えが可能な n 個のキャッシュメモリRAM部と、

電力モード信号に基づいて、前記タグメモリRAM部および前記キャッシュメモリRAM部のうち、すべてのタグメモリRAM部およびすべてのキャッシュメモリRAM部が通常状態で動作する n ウェイ構成か、または入力された要求アドレスの値に基づいていずれか一つのタグメモリRAM部とそれに対応する一つのキャッシュメモリRAM部のみが通常状態で動作し、かつ残りのタグメモリRAM部およびキャッシュメモリRAM部が低消費電力状態となる1ウェイ構成のい

ずれかのウェイ構成への切り替えを制御するRAM電力制御手段と、

データ読み出し時に、いずれか一つのキャッシュメモリRAM部から読み出されたデータのみを選択するデータセレクトと、

前記nウェイ構成においては、前記要求アドレスの値に対応するキャッシュメモリRAM部から読み出されたデータのみを選択し、一方、前記1ウェイ構成においては、通常状態のキャッシュメモリRAM部から読み出されたデータのみを選択するように、前記データセレクトを制御するデータセレクト制御手段と、

を具備することを特徴とするキャッシュメモリシステム。

【0069】

(付記4) 前記RAM電力制御手段は、前記要求アドレスの値と前記電力モード信号の値とに基づいて、各タグメモリRAM部および各キャッシュメモリRAM部の動作状態を制御するための信号を生成する論理回路で構成されていることを特徴とする付記3に記載のキャッシュメモリシステム。

【0070】

(付記5) 前記データセレクト制御手段は、

各タグメモリRAM部から読み出された前記アドレスデータと、前記要求アドレスの値とが一致するか否かを判定するタグ判定回路と、

前記タグ判定回路による判定結果、前記電力モード信号の値、および前記RAM電力制御手段による制御内容に基づいて、各キャッシュメモリRAM部から読み出されたデータのうちのいずれかのデータを選択するように制御するデータセレクト制御回路と、

を有することを特徴とする付記1～4のいずれか一つに記載のキャッシュメモリシステム。

【0071】

(付記6) 前記データセレクト制御手段は、

各タグメモリRAM部から読み出された前記アドレスデータと、前記要求アドレスの値とが一致するか否かを判定するタグ判定回路と、

低消費電力状態のタグメモリRAM部から読み出されたアドレスデータと前記要求アドレスの値とが一致した場合の前記タグ判定回路による判定結果を無効と

するタグ判定結果無効化回路と、

を有することを特徴とする付記 3 または 4 に記載のキャッシュメモリシステム

。

【 0 0 7 2 】

(付記 7) 並列に接続された n 個のタグメモリ RAM 部と、

通常状態と低消費電力状態との切り替えが可能な n 個のキャッシュメモリ RAM 部と、

前記キャッシュメモリ RAM 部のうち、入力された要求アドレスの値に基づいていずれか一つのキャッシュメモリ RAM 部のみが通常状態で動作し、かつ残りのキャッシュメモリ RAM 部が低消費電力状態となるように、各キャッシュメモリ RAM 部の動作状態を制御する RAM 電力制御手段と、

データ読み出し時に、いずれか一つのキャッシュメモリ RAM 部から読み出されたデータのみを選択するデータセレクトと、

前記 RAM 電力制御手段により通常状態とされたキャッシュメモリ RAM 部から読み出されたデータのみを選択するように、前記データセレクトを制御するデータセレクト制御手段と、

を具備することを特徴とするキャッシュメモリシステム。

【 0 0 7 3 】

(付記 8) 前記 RAM 電力制御手段は、前記要求アドレスの値に基づいて、各キャッシュメモリ RAM 部の動作状態を制御するための信号を生成する論理回路で構成されていることを特徴とする付記 7 に記載のキャッシュメモリシステム。

【 0 0 7 4 】

(付記 9) 通常状態と低消費電力状態との切り替えが可能な n 個のタグメモリ RAM 部と、

通常状態と低消費電力状態との切り替えが可能な n 個のキャッシュメモリ RAM 部と、

前記タグメモリ RAM 部および前記キャッシュメモリ RAM 部のうち、入力された要求アドレスの値に基づいていずれか一つのタグメモリ RAM 部とそれに対応する一つのキャッシュメモリ RAM 部のみが通常状態で動作し、かつ残りのタ

グメモリRAM部およびキャッシュメモリRAM部が低消費電力状態となるように、各タグメモリRAM部および各キャッシュメモリRAM部の動作状態を制御するRAM電力制御手段と、

データ読み出し時に、いずれか一つのキャッシュメモリRAM部から読み出されたデータのみを選択するデータセクタと、

前記RAM電力制御手段により通常状態とされたキャッシュメモリRAM部から読み出されたデータのみを選択するように、前記データセクタを制御するデータセクタ制御手段と、

を具備することを特徴とするキャッシュメモリシステム。

【 0 0 7 5 】

(付記10) 前記RAM電力制御手段は、前記要求アドレスの値に基づいて、各タグメモリRAM部および各キャッシュメモリRAM部の動作状態を制御するための信号を生成する論理回路で構成されていることを特徴とする付記9に記載のキャッシュメモリシステム。

【 0 0 7 6 】

(付記11) 前記データセクタ制御手段は、

各タグメモリRAM部から読み出された前記アドレスデータと前記要求アドレスの値とが一致するか否かを判定するタグ判定回路と、

前記タグ判定回路による判定結果および前記RAM電力制御手段による制御内容に基づいて、前記キャッシュメモリRAM部から読み出されたデータのうちのいずれかのデータを選択するように制御するデータセクタ制御回路と、

を有することを特徴とする付記7～10のいずれか一つに記載のキャッシュメモリシステム。

【 0 0 7 7 】

(付記12) 前記データセクタ制御手段は、

各タグメモリRAM部から読み出された前記アドレスデータと、前記要求アドレスの値とが一致するか否かを判定するタグ判定回路と、

低消費電力状態のタグメモリRAM部から読み出されたアドレスデータと前記要求アドレスの値とが一致した場合の前記タグ判定回路による判定結果を無効と

するタグ判定結果無効化回路と、

を有することを特徴とする付記 9 または 1 0 に記載のキャッシュメモリシステム。

【0 0 7 8】

(付記 1 3) n 個のキャッシュメモリ RAM 部は一モジュールを n 個の領域に分けた個々の領域に対応していることを特徴とする付記 1 ～ 1 2 のいずれか一つに記載のキャッシュメモリシステム。

【0 0 7 9】

(付記 1 4) n 個の前記タグメモリ RAM 部は一モジュールを n 個の領域に分けた個々の領域に対応していることを特徴とする付記 3 ～ 6 および 9 ～ 1 2 のいずれか一つに記載のキャッシュメモリシステム。

【0 0 8 0】

【発明の効果】

本発明によれば、通常状態と低消費電力状態との切り替えが可能なタグメモリ RAM 部を n 個並列に接続するとともに、通常状態と低消費電力状態との切り替えが可能なキャッシュメモリ RAM 部を n 個並列に接続し、電力モード信号が高ヒット率モードのときには、すべてのタグメモリ RAM 部およびすべてのキャッシュメモリ RAM 部が通常状態で動作する n ウェイのセットアソシアティブ構成とし、一方、電力モード信号が低消費電力モードのときには、要求アドレスの値に基づいていずれか一つのタグメモリ RAM 部とそれに対応する一つのキャッシュメモリ RAM 部のみが通常状態で動作し、かつ残りのタグメモリ RAM 部およびキャッシュメモリ RAM 部が低消費電力状態となる 1 ウェイのダイレクトマップ構成とするため、電力モード信号が高ヒット率モードのときには、キャッシュメモリシステムは n ウェイのセットアソシアティブ構成として動作し、一方、低消費電力モードのときには 1 ウェイのダイレクトマップ構成として動作するので、消費電力が多くても演算処理装置の性能を優先する場合と、低消費電力を優先する場合とを、ユーザや、使用しているアプリケーション等の周辺環境に応じて選択することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 にかかるキャッシュメモリシステムを含むシステム全体の一例の要部を模式的に示すブロック構成図である。

【図 2】

本発明の実施の形態 1 にかかるキャッシュメモリシステムを含むシステム全体の他の例の要部を模式的に示すブロック構成図である。

【図 3】

本発明の実施の形態 1 にかかるキャッシュメモリシステムの一例を示すブロック構成図である。

【図 4】

本発明の実施の形態 1 にかかるキャッシュメモリシステムの R A M 電力制御装置の一例を示す論理回路図である。

【図 5】

本発明の実施の形態 1 にかかるキャッシュメモリシステムのデータセクタ制御回路の一例を示す論理回路図である。

【図 6】

本発明の実施の形態 1 にかかるキャッシュメモリシステムのキャッシュ・ヒット／ミス制御回路の一例を示す論理回路図である。

【図 7】

本発明の実施の形態 1 にかかるキャッシュメモリシステムのメモリ領域の概念を説明するための模式図である。

【図 8】

本発明の実施の形態 2 にかかるキャッシュメモリシステムの一例を示すブロック構成図である。

【図 9】

本発明の実施の形態 3 にかかるキャッシュメモリシステムの一例を示すブロック構成図である。

【図 1 0】

本発明の実施の形態 3 にかかるキャッシュメモリシステムの他の例を示すブロ

ック構成図である。

【図 1 1】

本発明の実施の形態 3 にかかるキャッシュメモリシステムの他の例を示すブロック構成図である。

【図 1 2】

本発明の実施の形態 3 にかかるキャッシュメモリシステムの他の例を示すブロック構成図である。

【図 1 3】

従来のセットアソシアティブ構成のキャッシュメモリシステムを示すブロック構成図である。

【符号の説明】

3 キャッシュメモリシステム

2 2, 2 3 電力モード信号

2 4, 2 5 アドレス信号

2 6, 2 7 データ

3 1 a, 3 1 b, 3 1 c, 3 1 d, 4 6 タグメモリ RAM モジュール

3 2 a, 3 2 b, 3 2 c, 3 2 d, 4 8 キャッシュメモリ RAM モジュール

ル

3 3 タグ判定回路

3 4 データセレクタ

3 7 RAM 電力制御装置

3 8 データセレクタ制御回路

4 0 a, 4 0 b, 4 0 c, 4 0 d, 4 1 a, 4 1 b, 4 1 c, 4 1 d 消費

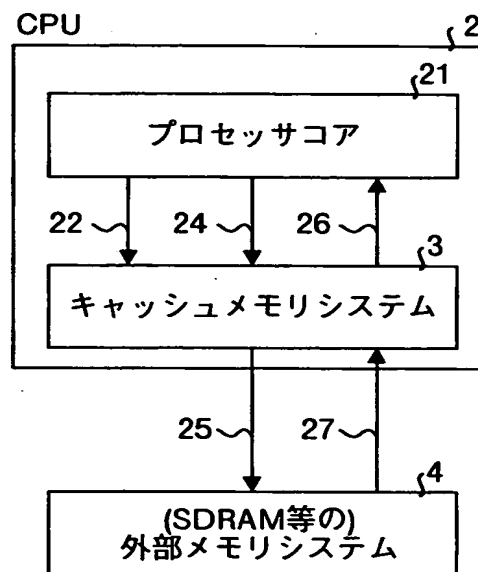
電力モード制御装置

4 2 タグ判定結果無効化回路

【書類名】 図面

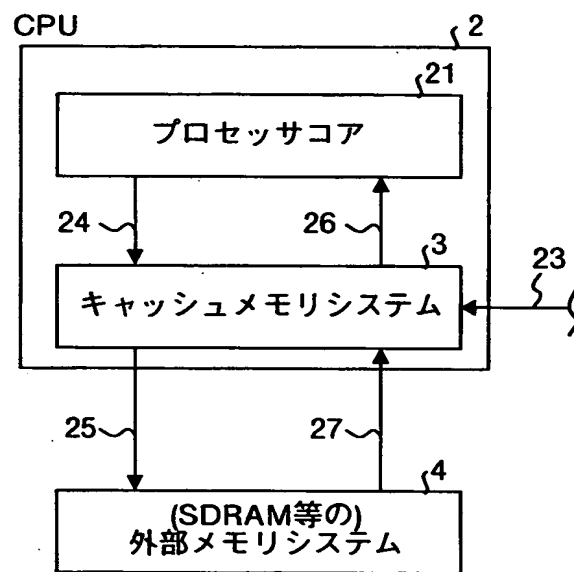
【図 1】

本発明の実施の形態 1 にかかるキャッシュメモリシステムを含むシステム
全体の一例の要部を模式的に示すブロック構成図



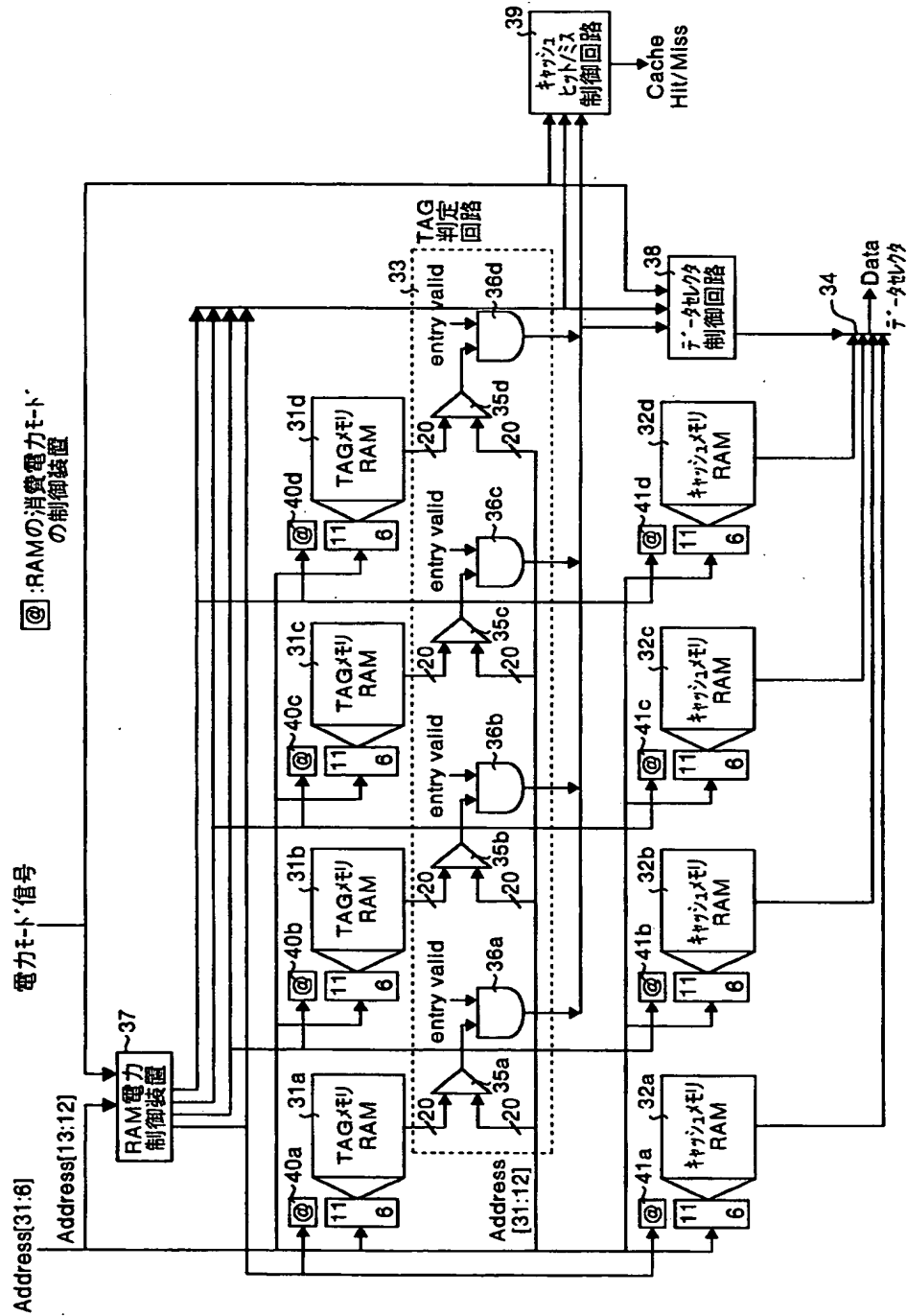
【図 2】

本発明の実施の形態 1 にかかるキャッシュメモリシステムを含む
システム全体の他の例の要部を模式的に示すブロック構成図



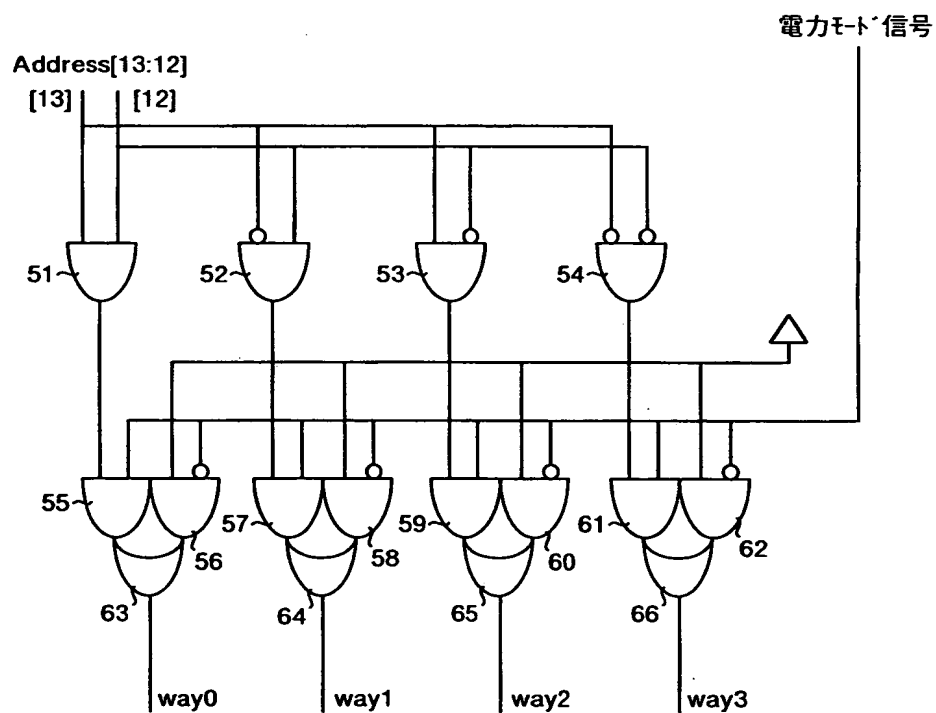
【図 3】

本発明の実施の形態 1 にかかるキャッシュメモリスステムの一例を示す
ブロック構成図



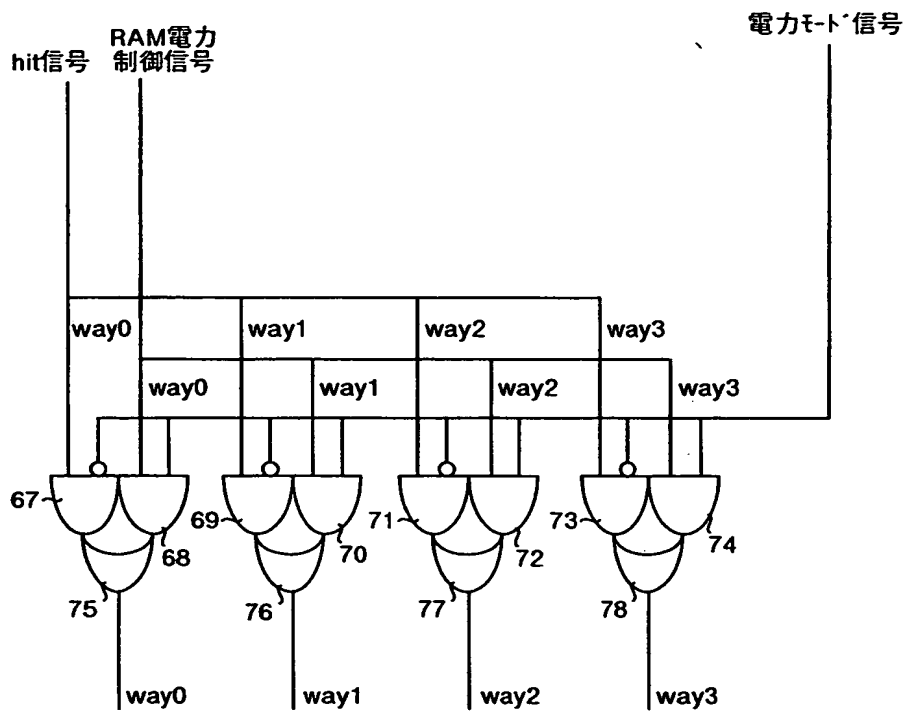
【図 4】

本発明の実施の形態 1 にかかるキャッシュメモリシステムの
RAM 電力制御装置の一例を示す論理回路図



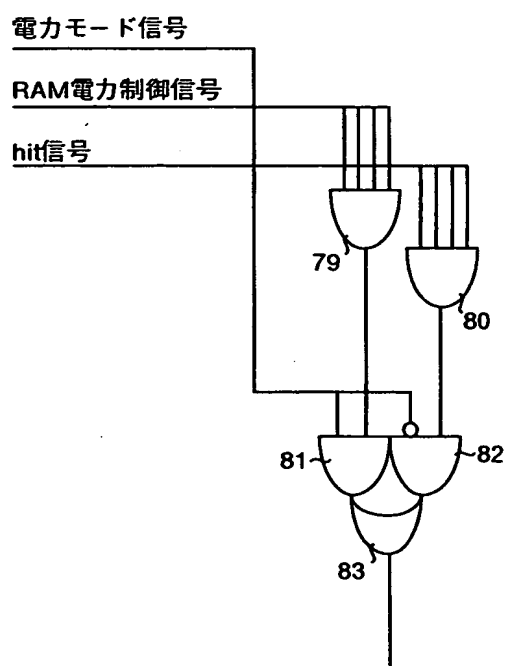
【図 5】

本発明の実施の形態 1 にかかるキャッシュメモリシステムの
データセクタ制御回路の一例を示す論理回路図



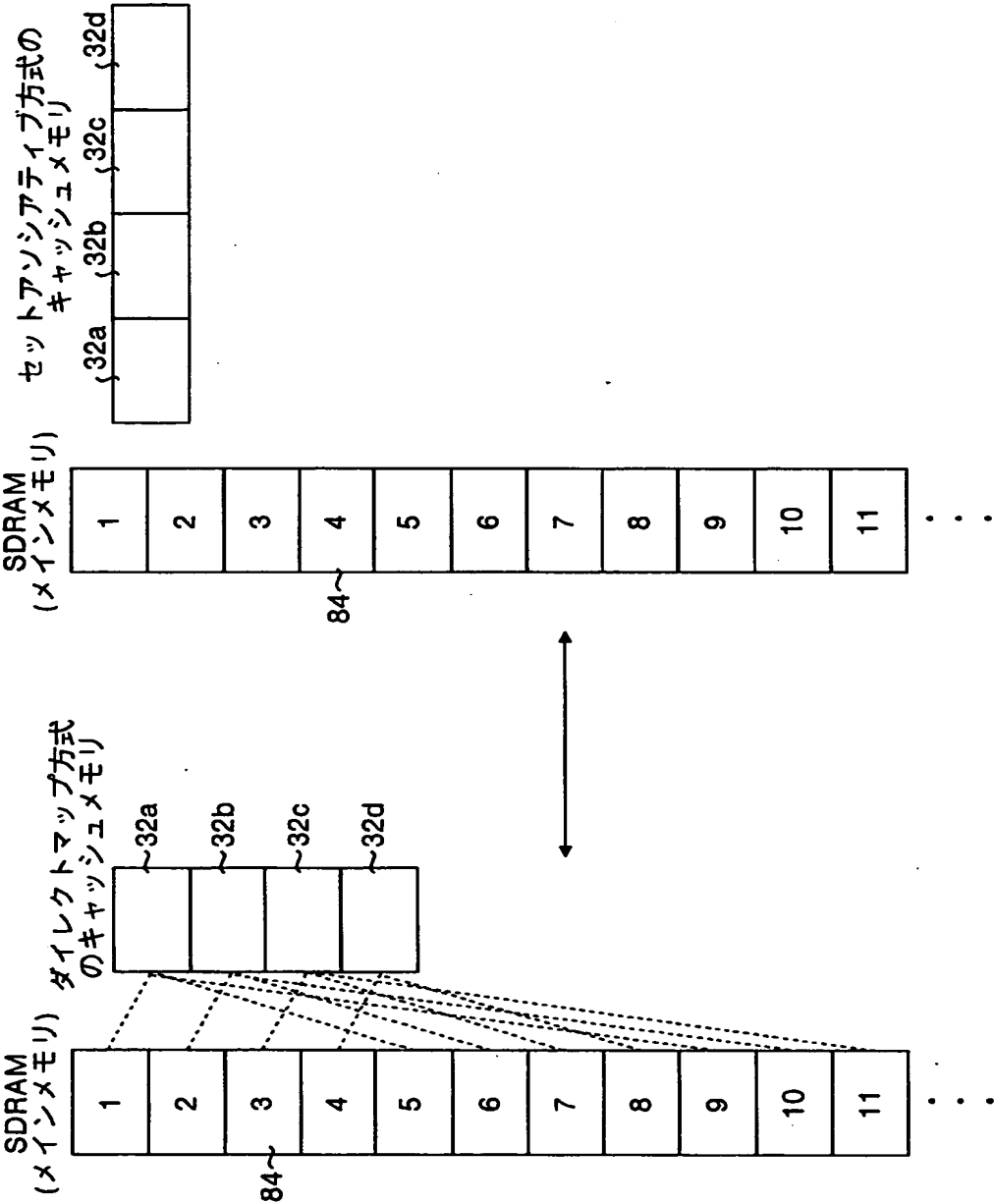
【図 6】

本発明の実施の形態 1 にかかるキャッシュメモリシステムの
キャッシュ・ヒット／ミス制御回路の一例を示す論理回路図



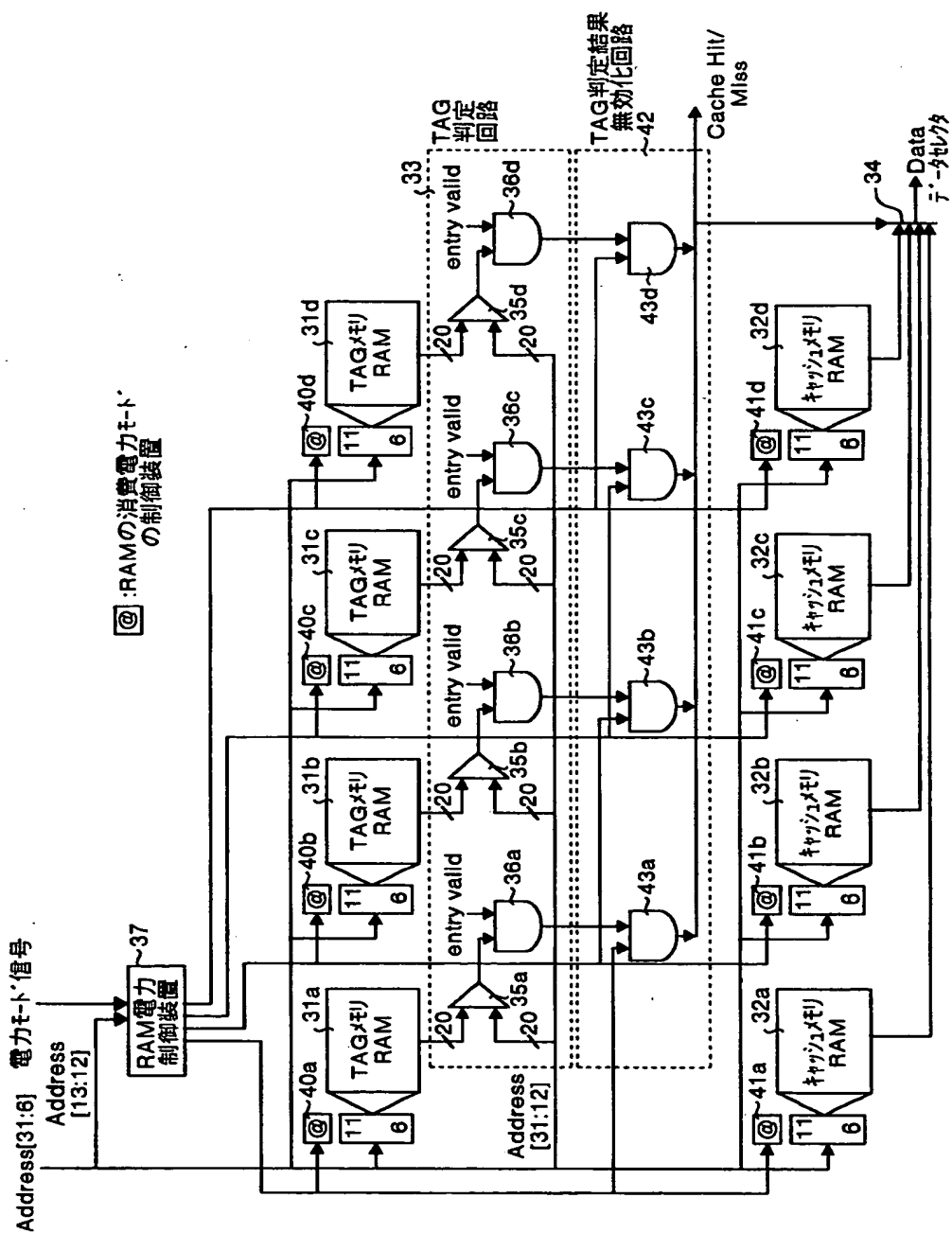
【図 7】

本発明の実施の形態 1 にかかるキャッシュメモリシステムのメモリ領域の概念を説明するための模式図



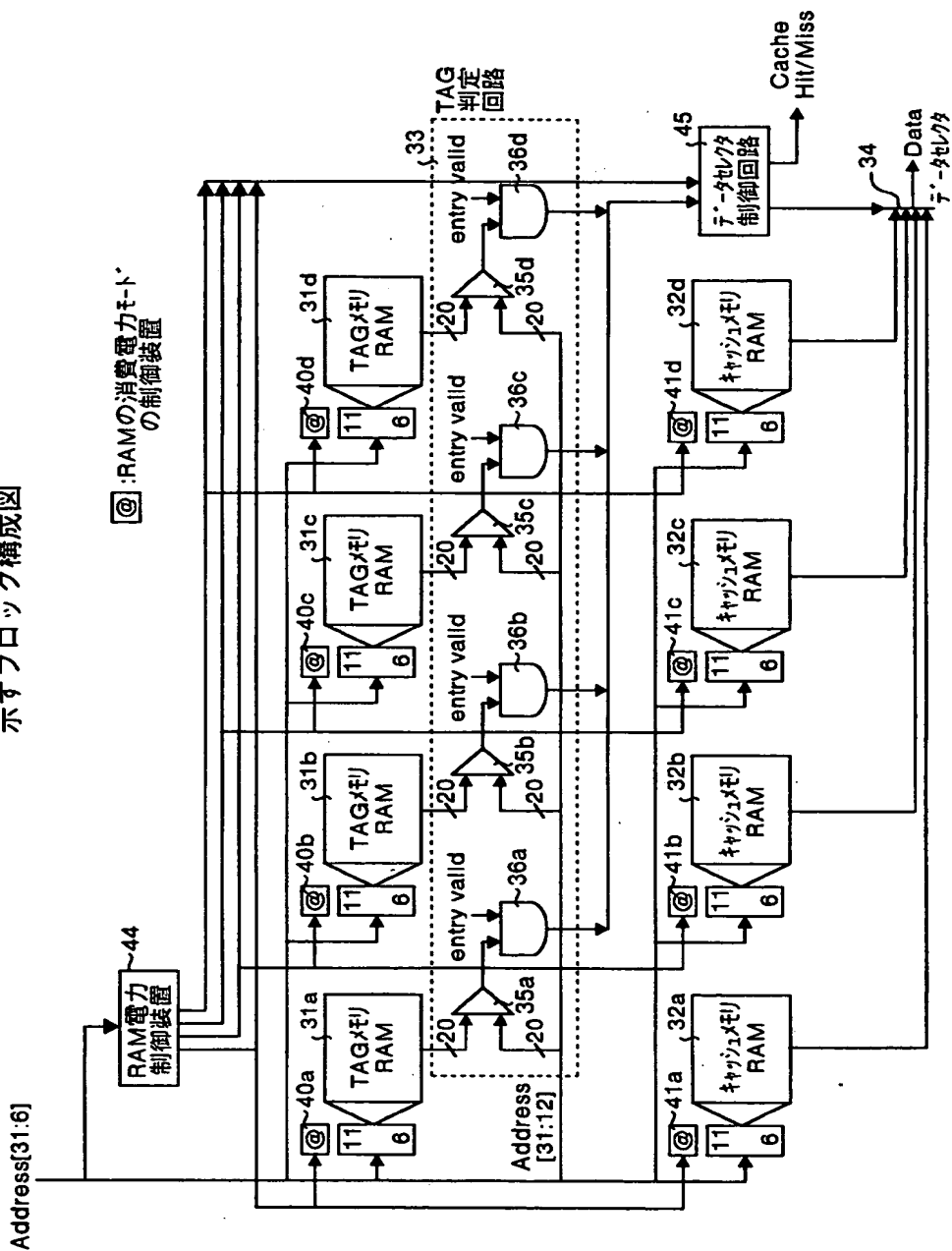
【図 8】

本発明の実施の形態 2 にかかるキャッシュメモリシステムの一例を示すブロック構成図



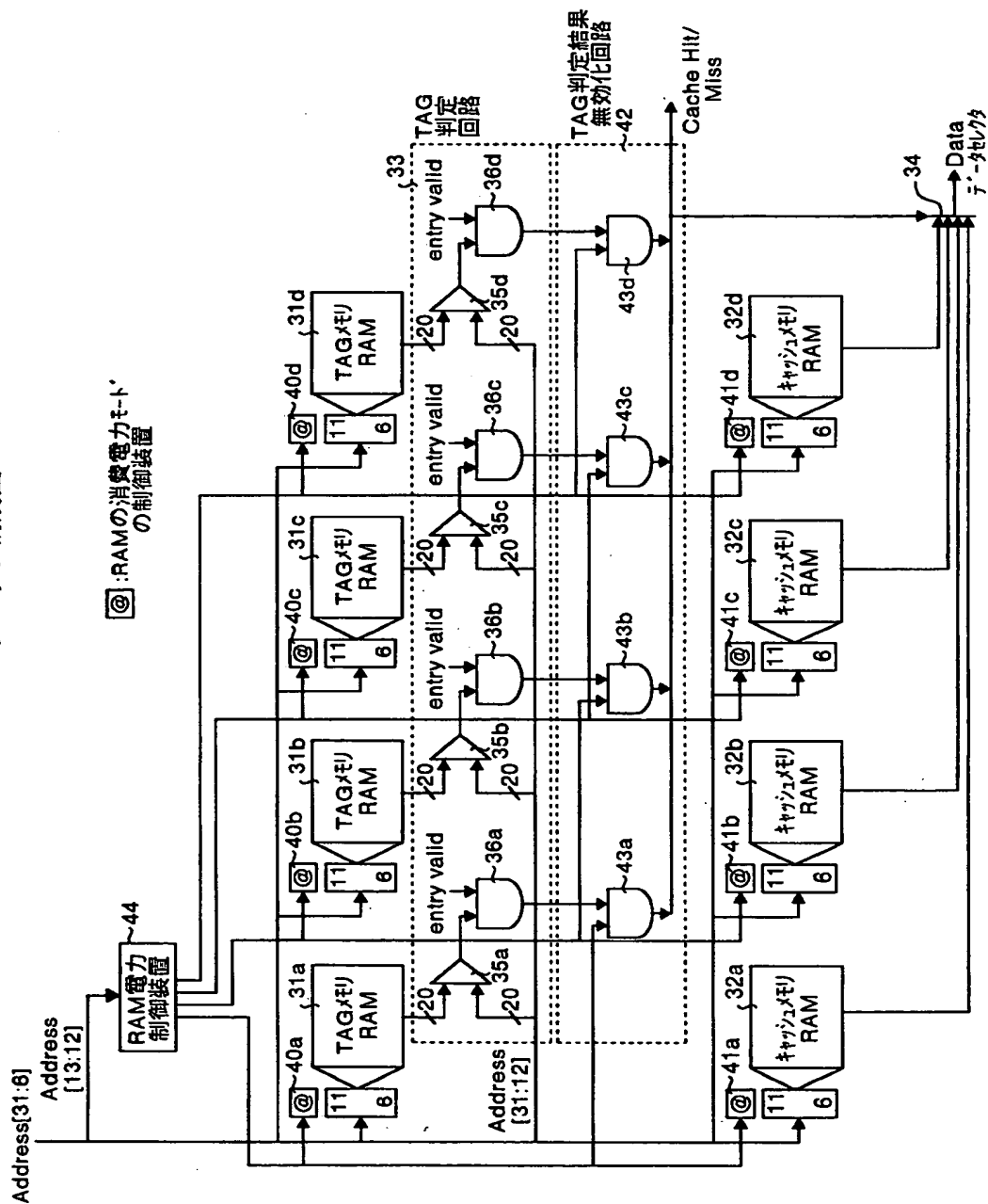
【図 9】

本発明の実施の形態 3 にかかるキャッシュメモリシステムの一例を示すブロック構成図



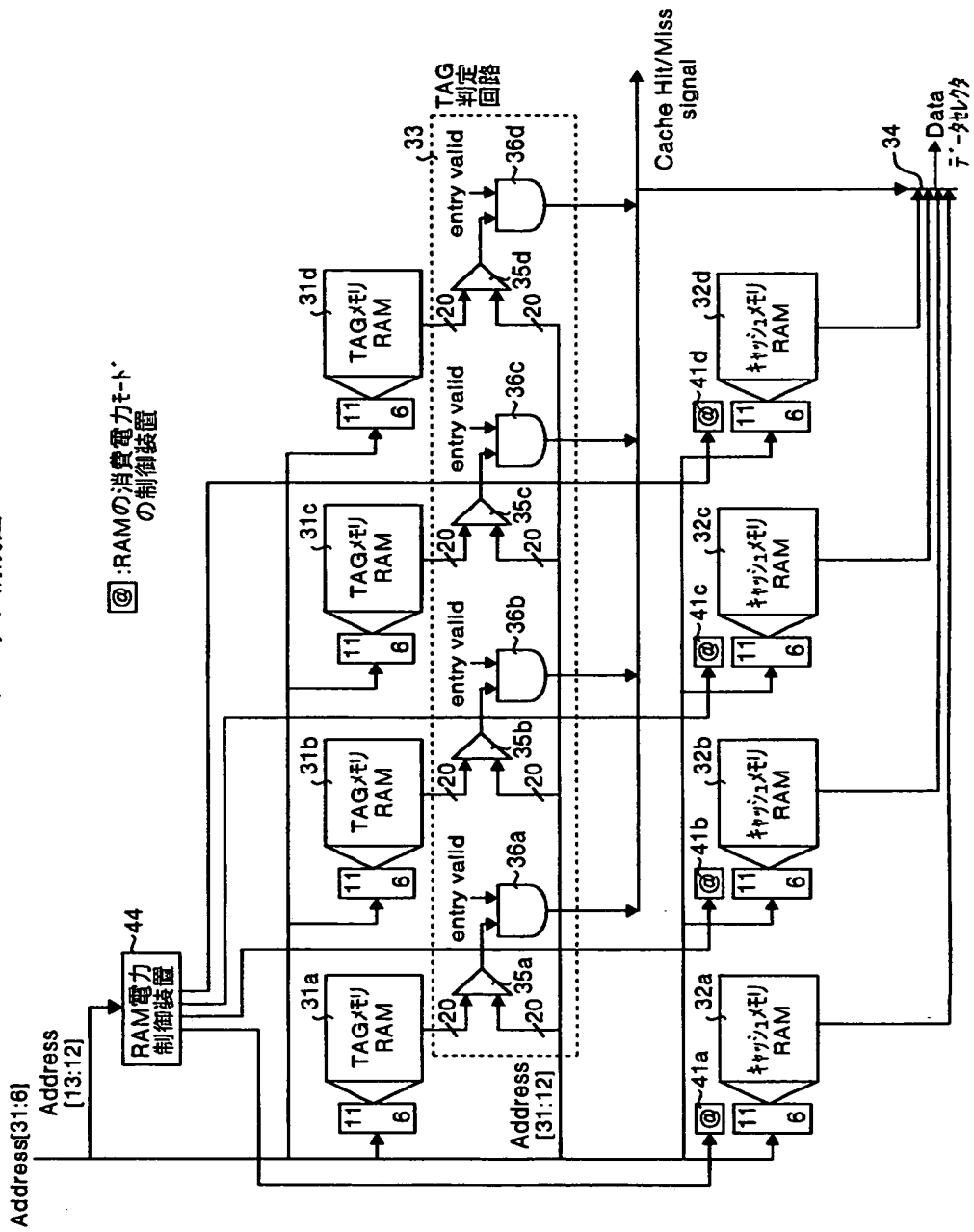
【図 10】

本発明の実施の形態 3 にかかるキヤッシュメモリシステムの他の例を示す図



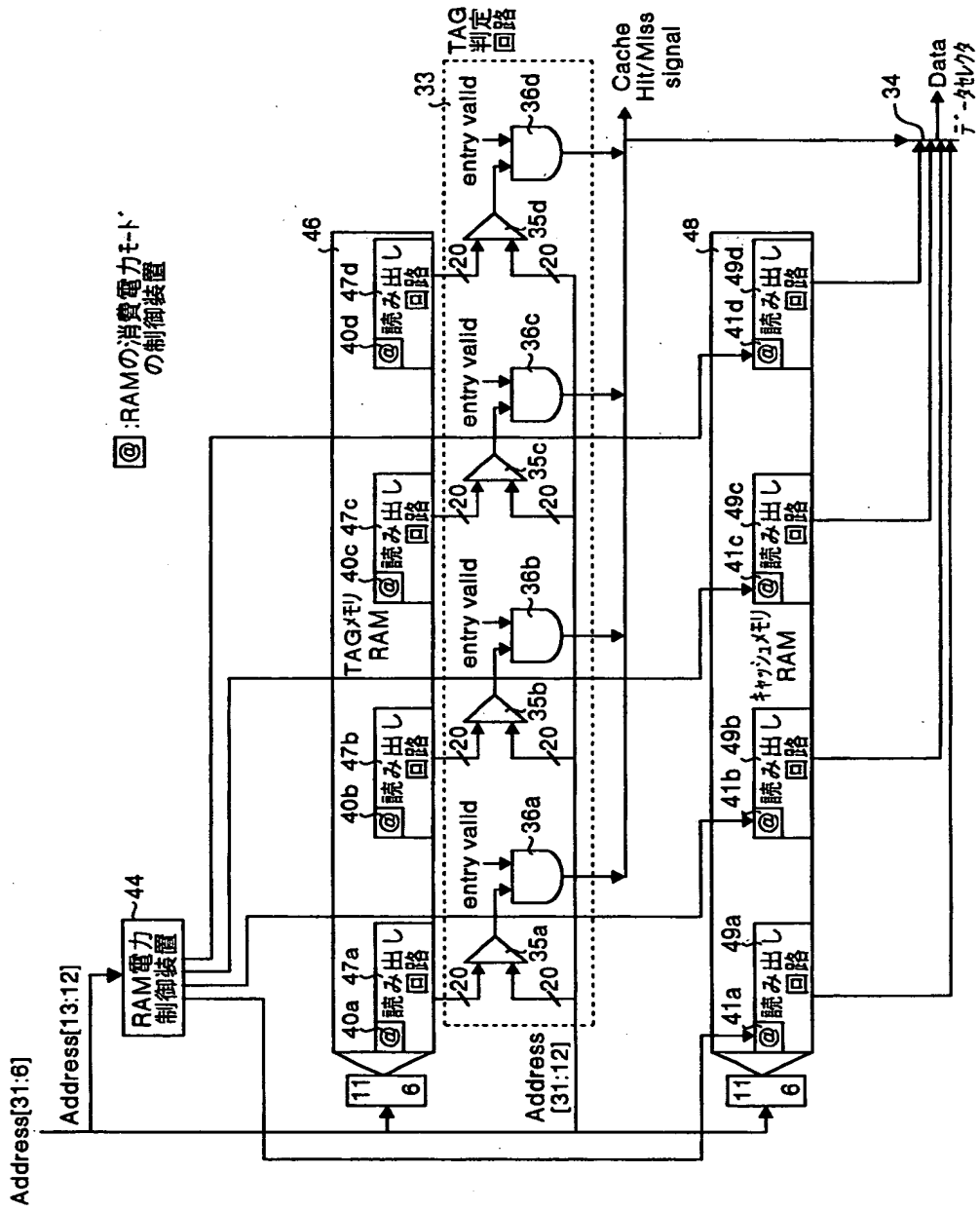
【図 11】

本発明の実施の形態 3 にかかるキャッシュメモリスステムの他の例を示すブロック構成図



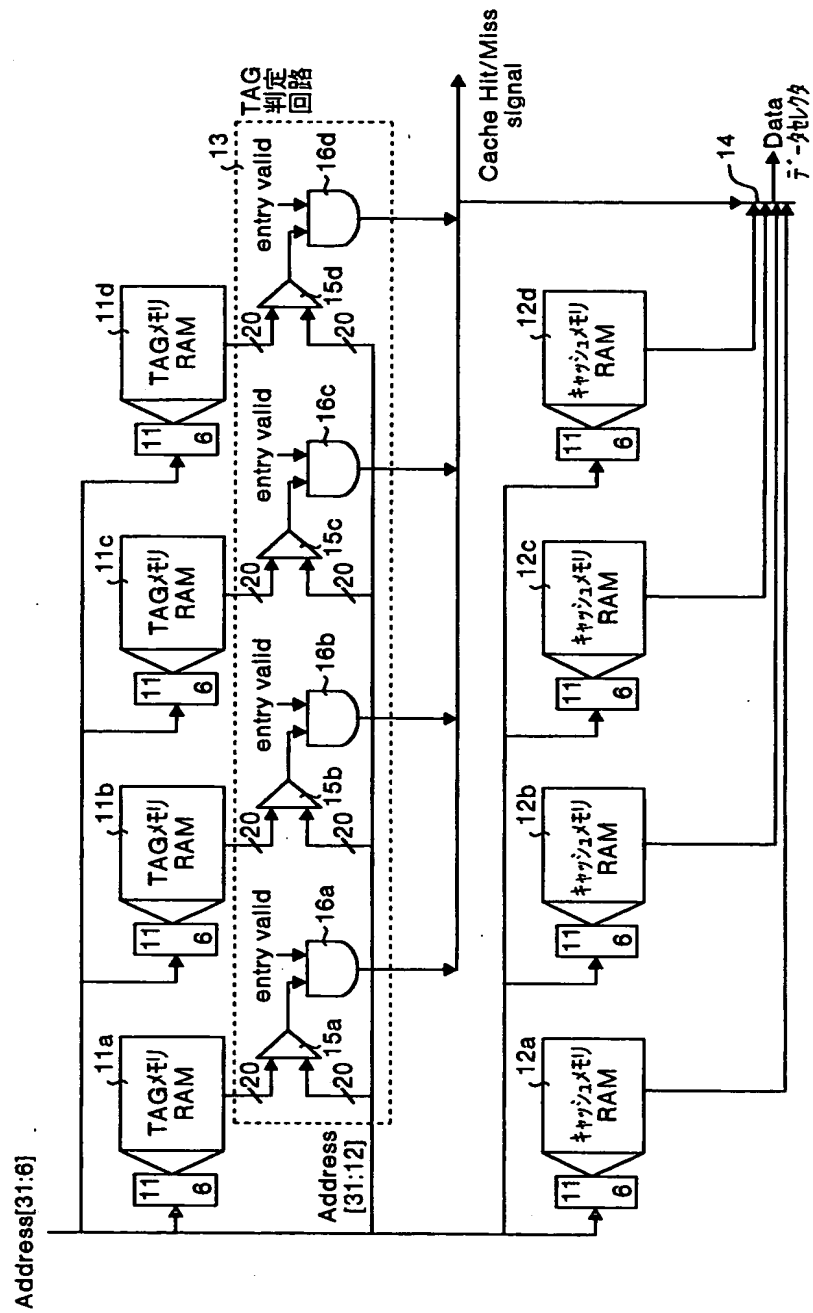
【図 12】

本発明の実施の形態 3 にかかるキャッシュメモリシステムの他の例を示す
ブロック構成図



【図 13】

従来のセットアソシティブ構成のキャッシュメモリシステムを示すブロック構成図



【書類名】 要約書

【要約】

【課題】 セットアソシアティブ構成による高ヒット率モードとダイレクトマップ構成による低消費電力モードとを動的に切り替えること。

【解決手段】 通常状態と低消費電力状態との切り替えが可能なタグメモリRAMモジュール31a～31dおよびキャッシュメモリRAMモジュール32a～32dをそれぞれn個ずつ並列に接続し、すべてのタグメモリRAMモジュールおよびすべてのキャッシュメモリRAMモジュールが通常状態で動作するnウェイのセットアソシアティブ構成と、要求アドレスの値に基づいていずれか一組のタグメモリRAMモジュールおよびキャッシュメモリRAMモジュールのみが通常状態で動作し、かつ残りのタグメモリRAMモジュールおよびキャッシュメモリRAMモジュールが低消費電力状態となる1ウェイのダイレクトマップ構成とを、電力モード信号に応じて切り替える。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社